

## ⑫ 公開特許公報(A) 平3-123201

⑬ Int. Cl.<sup>3</sup>H 01 P 1/15  
H 03 K 17/693

識別記号

A

庁内整理番号

8626-5J  
7827-5J

⑭ 公開 平成3年(1991)5月27日

審査請求 未請求 請求項の数 1 (全8頁)

⑮ 発明の名称 マイクロ波半導体スイッチ

⑯ 特 願 平1-262351

⑰ 出 願 平1(1989)10月6日

⑱ 発 明 者 伊 山 義 忠 神奈川県鎌倉市大船5丁目1番1号 三菱電機株式会社情報電子研究所内

⑲ 発 明 者 飯 田 明 夫 神奈川県鎌倉市大船5丁目1番1号 三菱電機株式会社情報電子研究所内

⑳ 出 願 人 三菱電機株式会社 東京都千代田区丸の内2丁目2番3号

㉑ 代 理 人 弁理士 大岩 増雄 外2名

## 明 細 書

## 1. 発明の名称

マイクロ波半導体スイッチ

## 2. 特許請求の範囲

第1の入出力端子と、第2の入出力端子と、第3の入出力端子と、第1の電界効果トランジスタと、第2の電界効果トランジスタと、上記第1の入出力端子と第1の電界効果トランジスタのドレイン電極間に設けられた第1の入出力線路と、上記第2の入出力端子と第1の電界効果トランジスタのドレイン電極間に設けられ、上記第2の電界効果トランジスタのドレイン電極が接続された第2の入出力線路と、上記第3の入出力端子と第1の電界効果トランジスタのソース電極間に設けられた第3の入出力線路と、上記第3の入出力線路に直列に接続された第1のインダクタと、上記第2の電界効果トランジスタのドレイン電極とソース電極間に接続された第2のインダクタと、上記第3の入出力端子と第1のインダクタ間に一端が接続され、他端が接地された第1のキャパシタと、

上記第1の電界効果トランジスタのドレイン電極と第2の電界効果トランジスタのドレイン電極間の第2の入出力線路に直列に接続された第2のキャパシタと、上記第2の電界効果トランジスタのドレイン電極と第2の入出力端子間の第2の入出力線路に直列に接続された第3のキャパシタとを備えたことを特徴とするマイクロ波半導体スイッチ。

## 3. 発明の詳細な説明

## [産業上の利用分野]

この発明は、入射電波の伝搬経路を切り換えるマイクロ波半導体スイッチに関するものである。

## [従来の技術]

第6図は例えば特願昭60-238138号に示された従来のマイクロ波半導体スイッチの構造の一例を示す図である。

(1)は半導体基板、(2)はこの半導体基板(1)の裏面に設けられた地導体、(3)は第1の入出力線路、(4)は第2の入出力線路、(5)は第3の入出力線路でありマイクロストリップ線

路構造となっている。

(6) は第1の電界効果トランジスタ(以下第1のFETと略称する)、(7) は第1のFET(6)のドレイン電極、(8) は第1のFET(6)のソース電極、(9) は第1のFET(6)のゲート電極である。第1のFET(6)のドレイン電極(7)は第1の入出力線路(3)と第2の入出力線路(4)の接続点(10)に接続され、第1のFET(6)のソース電極(8)は第3の入出力線路(5)に接続される。

一方、(11) は第2の電界効果トランジスタ(以下第2のFETと略称する)、(12) は第2のFET(11)のドレイン電極、(13) は第2のFET(11)のソース電極、(14) は第2のFET(11)のゲート電極である。

第2のFET(11)のドレイン電極(12)は上記接続点(10)から概略1/4波長の第2の入出力線路(4)に接続され、第2のFET(11)のソース電極(13)は地導体(2)に接地される。この第6図の構成では、バイアホー

(15)に接続している。同様に第1のFET(6)のソース電極(8)を直流的に接地電位とするために、1/4波長の長さを有する第2の接地用高インピーダンス線路(23)の一端を第3の入出力線路(5)に接続し、他の一端をバイアホール(15)に接続している。さらに、図中(24)、(25)、(26)はそれぞれ第1、第2、第3の入出力端子を示している。

次に動作について説明する。

第7図は、第6図に示した従来のマイクロ波半導体スイッチの動作説明をするための等価回路図である。この第7図を用いて行なう動作説明においては、まず、第1の入出力端子(24)から低電力レベルのマイクロ波が入射した場合、ついで数 $\mu$ 程度の大電力レベルのマイクロ波が入射した場合に分けて動作説明を行なう。

まず、第1の入出力端子(24)から低電力レベルのマイクロ波が入射し第2の入出力端子(25)へ低損失で伝搬していくスイッチ状態を考える。これを便宜上受信状態と称す。

ル(15)を介して接地した例を示している。

さらに、第1のFET(6)のゲート電極(9)、および、第2のFET(11)のゲート電極(14)には、それぞれマイクロストリップ線路より成るバイアス回路(16)を介して第1のバイアス端子(17)および第2のバイアス端子(18)からバイアス回路(16)は1/4波長の長さを有するバイアス用高インピーダンス線路(19)、同じく1/4波長の長さを有するバイアス用低インピーダンス線路(20)およびバイアス用高インピーダンス線路(19)とバイアス用低インピーダンス線路(20)の接続点と第1のバイアス端子(17)、第2のバイアス端子(18)それぞれを結ぶバイアス端子接続線路(21)とから成る。また、第1のFET(6)のドレイン電極(7)および第2のFET(11)のドレイン電極(12)を直流的に接地電位とするために1/4波長の長さの第1の接地用高インピーダンス線路(22)の一端を第2の入出力線路(4)に接続し、他の一端をバイアホール

この状態においては、第1、第2のバイアス端子(17)(18)にはFETのピンチオフ電圧 $V_p$ より小さい負のバイアス電圧 $V_{bias}$ が印加され第1、第2のFET(6)、(11)は高インピーダンスを呈する。そのため、接続点(10)から第3の入出力端子(26)側を見たインピーダンスは高くなり、第1の入出力端子(24)から入射したマイクロ波は第1の入出力線路(3)から第2の入出力線路(4)へ伝搬する。さらに、第2の入出力線路(4)へ並列に接続された第2のFET(11)も高インピーダンスを呈するため伝搬するマイクロ波への影響は少ない。

また、第1のFET(6)および第2のFET(11)の間隔は約1/4波長に設定しているため微少反射は互いに打ち消し合い、設計中心周波数においては、低反射・低損失な性能となる。

次に、第1の入出力端子(24)から大電力レベルのマイクロ波が入射した場合を考える。この場合、第3の入出力端子(26)へ低損失でマイクロ波が伝搬し、第2の入出力端子(25)側へ

は遮断となるスイッチ状態である。

この状態を便宜上、送信状態と称す。

この状態においては、第1、第2のバイアス端子(17)(18)には接地電位に等しい0Vのゲートバイアス電圧が印加され第1、第2のFET(6)(11)は低インピーダンスを呈する。ここで、第1の入出力線路(3)と第2の入出力線路(4)の接続点(10)と第2のFET(11)の間隔は約1/4波長に設定しているため、接続点(10)から第2の入出力端子(25)側を見たインピーダンスは開放状態に近い高インピーダンスとなる。一方第1のFET(6)は低インピーダンスとなるため接続点(10)から第3の入出力端子(26)側を見たインピーダンスは第3の入出力線路(5)の特性インピーダンス(これは負荷インピーダンスに等しい)となる。したがって第1の入出力端子(24)から入射した大電力レベルのマイクロ波は、第1の入出力線路(3)、第1のFET(6)を通過し、第3の入出力線路(5)を伝搬して第3の入出力端子

するという恐れがある。

この現象を第8図、第9図を用いて説明する。

第8図はスイッチに用いるFETの断面構造を示す図である。

図中、(27)はソース電極、(28)はゲート電極、(29)はドレイン電極、(30)は活性層、(31)はバッファ層、(32)は空乏層、(33)はインダクタであり直流的に上記電極を接地しRF的には高インピーダンスを呈する役目を持つ。今マイクロ波が入射しソース電極(27)とドレイン電極(29)間に図中矢印で示すRF電流 $I_{ds}$ が流れたとする。

このときのドレイン・ソース間の電圧 $V_{ds}$ と、 $I_{ds}$ の関係は第9図に示すように $V_{ds}$ が約±1.0Vまではほぼ直線的な関係を示し、それ以上では $I_{ds}$ が飽和し、 $R_{ds}$ が増加する。また、 $V_{ds}$ が約±1.0Vまではゲートの整流電流( $I_g$ )が流れないが、この電圧を越えると急激に大きな整流電流が流れる。これは、ゲート電極(28)が、ドレイン電極(29)、ソース電極

(26)へ現れる。この状態において尖頭電力Pワットのマイクロ波が入射した場合を考える。このとき、第1および第2のFET(6)(11)に流れる尖頭RF電流 $I$ は等しく、次の(1)式で与えられる。

ここで $Z_0$ は電源インピーダンス、 $R_{ds}$ は第1および第2のFET(6)(11)のドレイン・ソース間抵抗である。

例えば入力尖頭電力として5W、 $Z_0 = 50\Omega$ 、 $R_{ds} = 2.5\Omega$ とすると(1)式より尖頭RF電流 $I$ は約0.43A、第1および第2のFET(6)(11)のドレイン・ソース電極間に加わる尖頭RF電圧は約1.1Vとなる。このとき、ゲート・ドレインおよびゲート・ソース電極間に加わる尖頭RF電圧は0.55Vとなる。これは、ゲートに順方向の整流電流が流れ始めるビルトイン電圧に近く、 $R_{ds}$ が大きくなった場合には大きな順方向電流がゲートに流れ、FETを破壊

(27)の中間に位置しているため、ゲート電極(28)とドレイン電極(29)、ソース電極(27)間に $V_{ds}$ の1/2の電圧差が生じ、これによりゲート電極(28)からドレイン電極(29)間またはゲート電極(28)からソース電極(27)間にゲート電流 $I_{gd}$ 、 $I_{gs}$ が流れるためである。

[発明が解決しようとする課題]

従来のマイクロ波半導体スイッチは以上のように構成されているので、低い周波数で使用する場合に、第1のFETと第2のFETとの間の第2の入出力線路が長くなることにより、スイッチが大形化し、このスイッチを用いる装置の大形化あるいは単位ウェハあたりの製作個数の減少によるコストの上昇などの問題があった。

この発明は上記の問題点を解消するためになされたものであり、小形のマイクロ波半導体スイッチを得ることを目的とする。

[課題を解決するための手段]

この発明に係わるマイクロ波半導体スイッチは、

第3の入出力線路にキャパシタを並列に装荷し、インダクタを直列に接続するとともに、第2のFETのドレイン電極、ソース電極間にインダクタを接続し、さらに上記第2のFETのドレイン電極と第1のFETのドレイン電極間を接続する第2の入出力線路および第2のFETのドレイン電極と第2の入出力端子間を接続する第2の入出力線路にそれぞれキャパシタを直列接続したものである。

#### 〔作用〕

この発明におけるマイクロ波半導体スイッチは、受信状態では第1、第2の入出力端子間に、所要周波数を通過帯域とする高域通過特性を有する電波伝送路が形成されるようにして、送信状態では第1、第3の入出力端子間に、所要周波数を通過帯域とする低域通過特性を有する電波伝送路が形成されるようにして、集中定数素子を用いて構成しているので、第1、第2のFETの間隔を $1/4$ 波長とする必要がなく、所要周波数が低い場合に小形化を図ることができる。

さらに、第1のFET(6)のゲート電極(9)、第2のFET(11)のゲート電極(14)には、それぞれ第1のバイアス抵抗(39)、第2のバイアス抵抗(40)の一端が接続されている。これら第1のバイアス抵抗(39)と第2のバイアス抵抗(40)の他の一端はバイアス回路用キャパシタ(41)の一方の電極に接続され、さらにこの電極と共通バイアス端子(42)とを接続するバイアス線路(43)が設けられる。上記バイアス回路用キャパシタ(41)の他方の電極はバイアホール(15)に接続されている。

次に、この発明の作用、動作説明を行なう。

第2図は、第1図に示した構成の、この発明によるマイクロ波半導体スイッチの動作説明をするための等価回路図である。送信状態では、共通バイアス端子(42)を接地電位(0V)にし、受信状態では、共通バイアス端子(42)にピンチオフ電圧を印加する。以下に、これら2つの状態におけるどうさについてそれぞれ述べる。

第3図(a)に、送信状態の等価回路を示す。

#### 〔実施例〕

以下この発明の一実施例を図について説明する。

第1図は、この発明の一実施例の構造を示した図である。

第1のFET(6)および第2のFET(11)はゲート幅を広くするため折り曲げて配置した形状のゲート電極(9)(14)を持っている。第1のFET(6)が接続されている第3の入出力線路(5)には、第1のインダクタ(34)、第1のキャパシタ(35)がそれぞれ直列接続、並列接続されており、第1のキャパシタ(35)の一端はバイアホール(15)を介して地導体(2)に接続されている。上記第2のFET(11)には、第2のFET(11)のドレイン電極(12)と第2のFET(11)のソース電極(13)との間に、第2のインダクタ(36)が接続されている。この第2のFET(11)を挟むようにして、第2のキャパシタ(37)、第3のキャパシタ(38)が第2の入出力線路(4)に直列に接続されている。

第1のFET(6)、第2のFET(11)のドレイン・ソース間は小さな値の抵抗 $R_1$ 、 $R_2$ で表される。抵抗 $R_1$ 、 $R_2$ の大きさを、それぞれ第1のインダクタ(34)、第2のインダクタ(36)の呈するインピーダンスの大きさに比べて無視できる程度に小さく設定すると、 $R_1$ 、 $R_2 \sim 0$ と考えるべく、第3図(a)の等価回路は第3図(b)の等価回路で表される。ここで、第1のインダクタ(34)のインダクタンス値、第1のキャパシタ(35)と第2のキャパシタ(37)のキャパシタンス値を適当に選ぶことにより、所要周波数を通過帯域にもつ低域通過形フィルタを実現できる。この場合には、電波は第1、第3の入出力端子(24)(26)間を少ない損失で伝搬する。一方、第1、第2の入出力端子(24)(25)間は、 $R_2$ により途中で第2の入出力端子(25)が接地状態となっているため、遮断される。

つづいて、第4図(a)に受信状態の等価回路を示す。第1、第2のFET(6)(11)のド

レイン・ソース間はキャパシタ $C_1$ 、 $C_2$ で表される。所要の周波数においてキャパシタ $C_1$ の呈するインピーダンスを十分高く設定しているため、第1、第3の入出力端子(24)(26)間は遮断状態と考えて良い。一方、キャパシタ $C_2$ が呈するインピーダンスに対して、第2のインダクタ(36)が呈するインピーダンスが所要の周波数で低くなるようにして第2のインダクタ(36)を選ぶことにより、第2のインダクタ(36)と $C_2$ との並列回路は等価的にインダクタ $L_e$ として表わすことができる。従って、第4図(a)の等価回路は第4図(b)の等価回路で表される。ここで、第2、第3のキャパシタ(37)(38)のキャパシタンス値、第2のインダクタ(36)のインダクタンス値を適当に選ぶことにより、所要周波数を通過帯域に持つ高域通過形フィルタを実現できる。この場合には、電波は第1、第2の入出力端子(24)(25)間を少ない損失で伝搬する。なお、第2のキャパシタ(37)のキャパシタンス値は送信状態における条件を考慮して

ン電極、ソース電極間にインダクタを接続し、さらに上記第2のFETを挟むような位置で2個のキャパシタを第2の入出力線路に直列接続した構成としたので、マイクロ波半導体スイッチを小形化することができ、耐電力性能の高いマイクロ波半導体スイッチの低コスト化を図ることができる。

#### 4. 図面の簡単な説明

第1図はこの発明のマイクロ波半導体スイッチの一実施例を示す構成図、第2図はこの発明によるマイクロ波半導体スイッチの動作説明をするための等価回路図、第3図は送信状態の等価回路図、第4図は受信状態の等価回路図、第5図はこの発明のマイクロ波半導体スイッチの他の実施例を示す構成図、第6図は従来のマイクロ波半導体スイッチの構造の一例を示す構成図、第7図は従来のマイクロ波半導体スイッチの動作説明をするための等価回路図、第8図はスイッチに用いるFETの断面構造を示す構成図、第9図はドレイン・ソース間の電圧 $V_{ds}$ と電流 $I_{ds}$ 、およびゲート電流 $I_{gd}$ 、 $I_{gs}$ の関係を示す特性図である。

決める。

このようにして、第1、第2のFET(6)(11)のゲート電極(9)(14)に印加するバイアス電圧を切り換えることにより、電波伝搬経路を、第1、第2の入出力端子(24)(25)間と第1、第3の入出力端子(24)(26)間とに切り換えることができる。

上記の実施例ではキャパシタ $C_1$ の呈するインピーダンスが十分高い場合について述べたが、インピーダンスが低く、電波の漏洩が無視できない場合には、第5図に示すように並列に第3のインダクタ(44)を装荷してもよい。この第3のインダクタ(44)とキャパシタ $C_1$ とを所要の周波数で並列共振させることにより第1、第3の入出力端子(24)(26)間のアイソレーションを高めることができる。

#### [発明の効果]

以上のように、この発明によれば、第3の入出力線路にキャパシタとインダクタをそれぞれ並列、直列に接続するとともに、第2のFETのドレイ

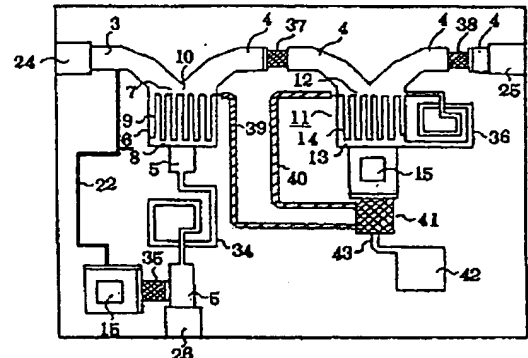
図において、(1)は半導体基板、(2)は地導体、(3)は第1の入出力線路、(4)は第2の入出力線路、(5)は第3の入出力線路、(6)は第1のFET、(7)は第1のFET(6)のドレイン電極、(8)は第1のFET(6)のソース電極、(9)は第1のFET(6)のゲート電極、(10)は接続点、(11)は第2のFET、(12)は第2のFET(11)のドレイン電極、(13)は第2のFET(11)のソース電極、(14)は第2のFET(11)のゲート電極、(15)はバイアホール、(16)はバイアス回路、(17)は第1のバイアス端子、(18)は第2のバイアス端子、(19)はバイアス用高インピーダンス線路、(20)はバイアス用低インピーダンス線路、(21)はバイアス端子接続線路、(22)は第1の接地用高インピーダンス線路、(23)は第2の接地用高インピーダンス線路、(24)は第1の入出力端子、(25)は第2の入出力端子、(26)は第3の入出力端子、(27)はソース電極、(28)は

ゲート電極、(29)はドレイン電極、(30)は活性層、(31)はバッファ層、(32)は空乏層、(33)はインダクタ、(34)は第1のインダクタ、(35)は第1のキャパシタ、(36)は第2のインダクタ、(37)は第2のキャパシタ、(38)は第3のキャパシタ、(39)は第1のバイアス抵抗、(40)は第2のバイアス抵抗、(41)はバイアス回路用キャパシタ、(42)は共通バイアス端子、(43)はバイアス用線路、(44)は第3のインダクタである。

なお、各図中同一符号は同一または相当部分を示す。

代理人 大 岩 増 雄

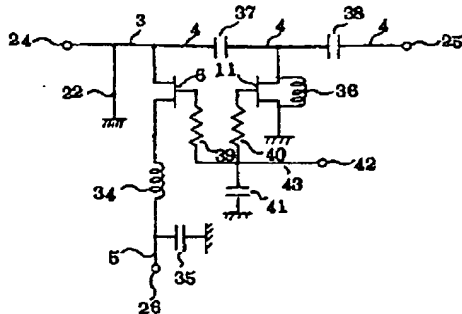
第 1 図  
(a)



(b)

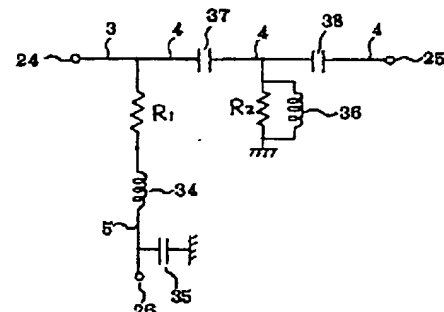
- |             |               |
|-------------|---------------|
| 1: 半導体基板    | 22: 第1の接地用    |
| 2: 地導体      | 高インピーダンス線路    |
| 3: 第1の入出力線路 | 24: 第1の入出力端子  |
| 4: 第2の入出力線路 | 25: 第2の入出力端子  |
| 5: 第3の入出力線路 | 26: 第3の入出力端子  |
| 6: 第1のFET   | 34: 第1のインダクタ  |
| 7: ドレイン電極   | 35: 第1のキャパシタ  |
| 8: ソース電極    | 36: 第2のインダクタ  |
| 9: ゲート電極    | 37: 第2のキャパシタ  |
| 10: 接続点     | 38: 第3のキャパシタ  |
| 11: 第2のFET  | 39: 第1のバイアス抵抗 |
| 12: ドレイン電極  | 40: 第2のバイアス抵抗 |
| 13: ソース電極   | 41: バイアス回路用   |
| 14: ゲート電極   | キャパシタ         |
| 15: バイアホール  | 42: 共通バイアス端子  |
|             | 43: バイアス用線路   |

第 2 図

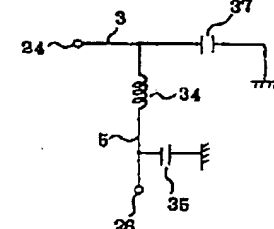


- |              |               |
|--------------|---------------|
| 3: 第1の入出力線路  | 34: 第1のインダクタ  |
| 4: 第2の入出力線路  | 35: 第1のキャパシタ  |
| 5: 第3の入出力線路  | 36: 第2のインダクタ  |
| 6: 第1のFET    | 37: 第2のキャパシタ  |
| 11: 第2のFET   | 38: 第3のキャパシタ  |
| 22: 第1の接地用   | 39: 第1のバイアス抵抗 |
| 高インピーダンス線路   | 40: 第2のバイアス抵抗 |
| 24: 第1の入出力端子 | 41: バイアス回路用   |
| 25: 第2の入出力端子 | キャパシタ         |
| 26: 第3の入出力端子 | 42: 共通バイアス端子  |
|              | 43: バイアス用線路   |

第 3 図  
(a)

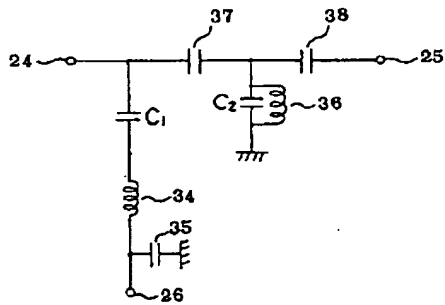


(b)

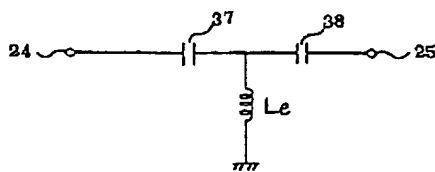


- |              |
|--------------|
| 3: 第1の入出力線路  |
| 4: 第2の入出力線路  |
| 5: 第3の入出力線路  |
| 24: 第1の入出力端子 |
| 25: 第2の入出力端子 |
| 26: 第3の入出力端子 |
| 34: 第1のインダクタ |
| 35: 第1のキャパシタ |
| 36: 第2のインダクタ |
| 37: 第2のキャパシタ |
| 38: 第3のキャパシタ |

第4図  
(a)

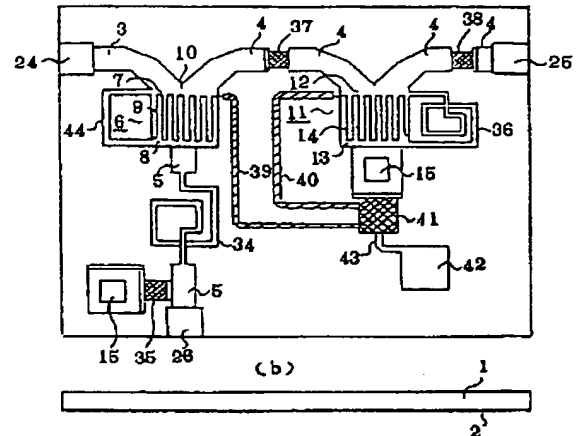


(b)



24: 第1の入出力端子  
25: 第2の入出力端子  
26: 第3の入出力端子  
34: 第1のインダクタ  
35: 第1のキャパシタ  
36: 第2のインダクタ  
37: 第2のキャパシタ  
38: 第3のキャパシタ

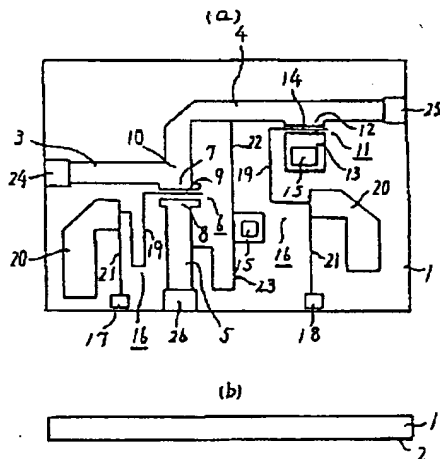
第5図  
(a)



(b)

1: 半導体基板  
2: 地導体  
3: 第1の入出力線路  
4: 第2の入出力線路  
5: 第3の入出力線路  
6: 第1のFET  
7: ドレイン電極  
8: ソース電極  
9: ゲート電極  
10: 接続点  
11: 第2のFET  
12: ドレイン電極  
13: ソース電極  
14: ゲート電極  
15: バイアホール  
22: 第1の接地用  
高インピーダンス線路  
24: 第1の入出力端子  
25: 第2の入出力端子  
26: 第3の入出力端子  
34: 第1のインダクタ  
35: 第1のキャパシタ  
36: 第2のインダクタ  
37: 第2のキャパシタ  
38: 第3のキャパシタ  
39: 第1のバイアス抵抗  
40: 第2のバイアス抵抗  
41: バイアス回路用  
キャパシタ  
42: 共通バイアス端子  
43: バイアス用線路  
44: 第3のインダクタ

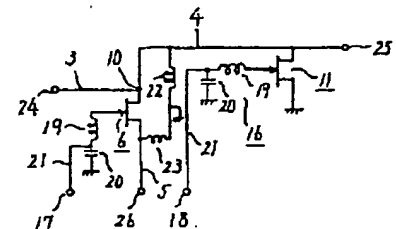
第6図



(b)

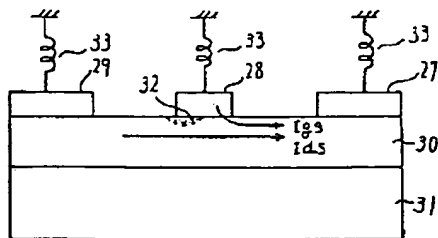
16: バイアス回路  
17: 第1のバイアス端子  
18: 第2のバイアス端子  
19: バイアス用  
高インピーダンス線路  
20: バイアス用  
低インピーダンス線路  
21: バイアス端子接続線路  
22: 第1の接地用  
高インピーダンス線路  
23: 第2の接地用  
高インピーダンス線路

第7図



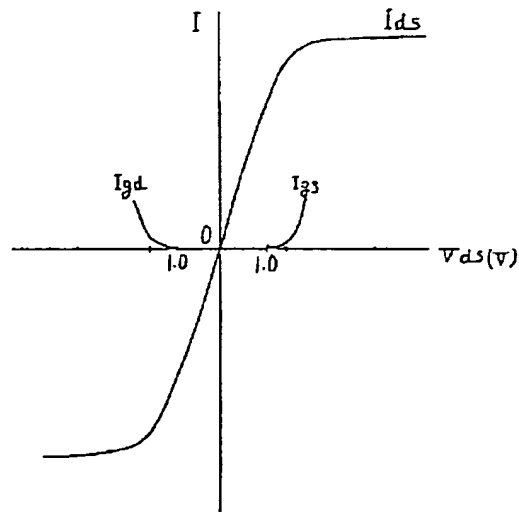
3: 第1の入出力線路  
4: 第2の入出力線路  
5: 第3の入出力線路  
6: 第1のFET  
10: 接続点  
11: 第2のFET  
16: バイアス回路  
17: 第1のバイアス端子  
18: 第2のバイアス端子  
19: バイアス用  
高インピーダンス線路  
20: バイアス用  
低インピーダンス線路  
21: バイアス端子接続線  
22: 第1の接地用  
高インピーダンス線路  
23: 第2の接地用  
高インピーダンス線路  
24: 第1の入出力端子  
25: 第2の入出力端子  
26: 第3の入出力端子

第 8 図



27: ソース電極  
28: ゲート電極  
29: ドレイン電極  
30: 活性層  
31: バッファ層  
32: 空乏層  
33: インダクタ

第 9 図



## 手 続 補 正 書 (自 発)

平成 2 年 2 月 18 日

特許庁長官殿

平



1. 事件の表示 特願昭 1-262351 号

2. 発明の名称

マイクロ波半導体スイッチ

3. 補正をする者

事件との関係 特許出願人  
住 所 東京都千代田区丸の内二丁目2番3号  
名 称 (601) 三菱電機株式会社  
代表者 志 岐 守 哉

4. 代 理 人

住 所 東京都千代田区丸の内二丁目2番3号  
三菱電機株式会社内  
氏 名 (7375) 弁理士 大 岩 増 雄  
(連絡先03(213)3421特許部)



5. 補正の対象

(1) 明細書中発明の詳細な説明の欄。

## a. 補正の内容

(1) 明細書中第 8 頁第 5 行目と第 6 行目の間に

「 $I = \frac{\sqrt{2Z_o P}}{Z_o + R_{ds}}$  ... (1)」を挿入する。

(2) 同中第 13 頁第 19 行目に「どうき」とあるのを「動作」と訂正する。

以 上

方式  
審査